

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 11015997 A

(43) Date of publication of application: 22.01.99

(51) Int. Cl

G06T 15/00
G06T 1/60
G06T 15/40
G09G 5/20
G09G 5/36

(21) Application number: 09169989

(71) Applicant: RICOH CO LTD

(22) Date of filing: 26.06.97

(72) Inventor: SHIRAISHI NAOHITO

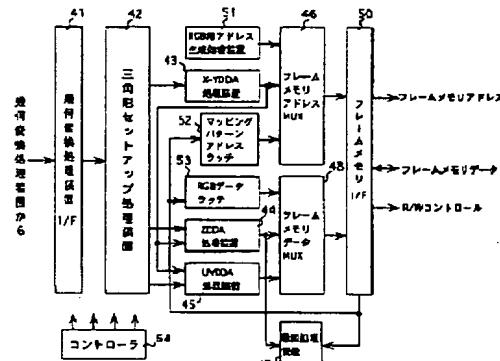
(54) STEREOSCOPIC PICTURE PLOTTING
PROCESSOR

COPYRIGHT: (C)1999,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To validly use a frame memory, and to operate a mapping processing at a high speed.

SOLUTION: The X and Y address information of a polygon, mapping pattern address, and Z value are calculated by DDA processors 43, 44, and 45 based on each geometrically converted endpoint information, and a hidden-surface processing is operated by a hidden-surface processor 47 based on the calculated Z value, a plotting processing and a hidden-surface processing is operated to all polygons, and only the mapping pattern addresses U and V of dots to be plotted are written in a frame memory. Access is performed to a mapping pattern area with the mapping pattern addresses written in this frame memory, and R, G, B values are read, and the R, G, B values are written in the area of the same frame memory in which the mapping pattern addresses are written.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-15997

(43)公開日 平成11年(1999)1月22日

(51) Int.Cl. ⁸	識別記号	F I	
G 0 6 T 15/00		G 0 6 F 15/72	4 5 0 A
1/60		G 0 9 G 5/20	
15/40		5/36	5 3 0 E
G 0 9 G 5/20	5 3 0	G 0 6 F 15/64	4 5 0 C
5/36		15/72	4 2 0

審査請求 未請求 請求項の数3 O.L (全9頁)

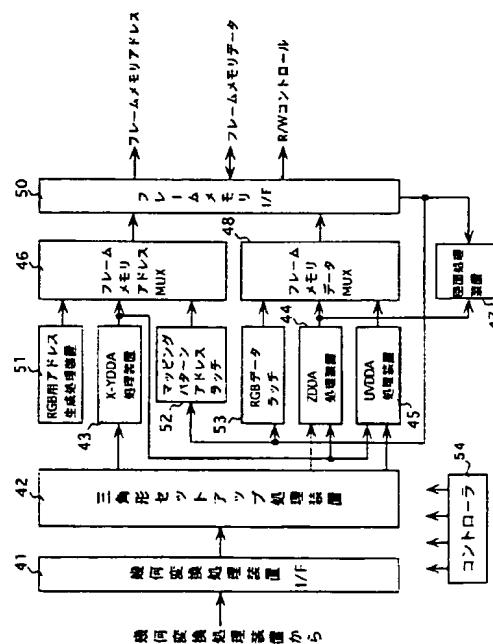
(21)出願番号	特願平9-169989	(71)出願人	000006747 株式会社リコー 東京都大田区中馬込1丁目3番6号
(22)出願日	平成9年(1997)6月26日	(72)発明者	白石 尚人 東京都大田区中馬込1丁目3番6号 株式会社リコー内
		(74)代理人	弁理士 烏居 洋

(54)【発明の名称】 立体画像描画処理装置

(57)【要約】

【課題】 フレームメモリを有効に利用し、高速にマッピング処理を行う。

【解決手段】 幾何変換された各端点情報に基づいて、ポリゴンのX, Yアドレス情報、マッピングパターンアドレス及びZ値をDDA処理装置43、44、45により算出し、算出されたZ値に基づき隠面処理装置47で隠面処理を行い、全てのポリゴンに対して描画処理及び隠面処理を行って描画するドットのマッピングパターンアドレス(U, V)のみをフレームメモリに書き込み、このフレームメモリに書き込まれたマッピングパターンアドレスによりマッピングパターン領域をアクセスし、R, G, B値を読み出し、マッピングパターンアドレスが書き込まれていた同じフレームメモリの領域にR, G, B値を書き込む。



【特許請求の範囲】

【請求項1】 ポリゴンを構成するX, Yの端点情報及びポリゴン面に付与する模様を示すマッピングパターン端点情報とポリゴンのZ値を格納する記憶手段と、上記記憶手段からの各端点情報を幾何変換する幾何変換手段と、上記幾何変換手段からの各端点情報に基づいて、ポリゴンのX, Yアドレス情報、マッピングパターンアドレス情報及びポリゴンのZ値を算出する描画処理手段と、算出されたZ値に基づき隠面処理を行う手段と、を備え、全てのポリゴンに対して描画処理及び隠面処理を行って描画するドットのマッピングパターンアドレスのみをフレームメモリに書き込み、このフレームメモリに書き込まれたマッピングパターンアドレスによりマッピングパターン領域をアクセスし、画像データを読み出し上記マッピングパターンアドレスが書き込まれていた同じフレームメモリの領域に画像データを書き込むことを特徴とする立体画像描画処理装置。

【請求項2】 フレームメモリのアドレスとして、ポリゴンのX, Yアドレス、画像データ読み出し用アドレス及びマッピングパターンアドレスの内から1つ選択して与えられ、フレームメモリのデータとして少なくともマッピングパターンアドレス及び画像データの内1つが選択して与えられること特徴とする請求項1に記載の立体画像描画処理装置。

【請求項3】 上記フレームメモリは、Z値が格納されるZバッファ領域、マッピングパターンアドレスまたは画像データが格納されるスクリーン領域及びマッピングパターンが格納されるマッピングパターン領域に領域が区分されていることを特徴とする請求項1または2に記載の立体画像描画処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、3次元多面体物体を2次元スクリーン上に投影して表示する立体画像描画処理装置に関する。

【0002】

【従来の技術】 3次元立体图形を透視変換処理、遠近処理等によって、CRTディスプレイ等の2次元(平面)スクリーン上に合成して表示する場合、手前に存在する物体がそれより奥にある物体の一部または全てを隠す処理、即ち、隠面消去処理を行う必要がある。隠面消去の方法としては、Zソート法(塗り重ね法)、Zバッファ法、スキヤンライン法等がある。

【0003】 マッピング処理が可能な立体画像描画処理装置においては、ポリゴンの隠面消去法として、Zバッファ法を用いた装置が特開平9-16806号公報に開示されている。この立体画像描画処理装置について、図10に従い説明する。図10は上記の立体画像描画処理装置の全体構成を示すブロック図であり、この装置は例えば、レーシングゲームや飛行機の操縦シミュレーター

等のゲーム用機器に用いて好適な一例が示されている。

【0004】 画像情報供給装置100の構成について説明すると、この装置には、ワールドメモリ101、幾何変換装置102、操作部103、CPU104を備える。ワールドメモリ101にはあらゆる物体が複数のポリゴンの集合体として表現され、ポリゴンの端点をワールド座標上のX, Y, Z座標として格納している。更に、このワールドメモリ101には、オブジェクトのオブジェクト座標上のポリゴン端点のX, Y, Z座標、及びポリゴンに対応して夫々テクスチャ画像を格納するマッピングパターンメモリの端点情報データが格納されている。操作部103は、ハンドル、アクセル、ブレーキ等で構成され、その操作内容は電気信号に変換され、CPU104へ出力される。

【0005】 CPU104は、ハンドル、アクセル等で構成された操作部103の操作内容に基づいて変換された電気信号に従いこの状況に応じた状況データを演算し、幾何変換装置102へデータを与える。

【0006】 幾何変換装置102は、CPU104からの命令に従いワールドメモリ101から各ポリゴンの端点情報をデータを読み出し、オブジェクトの運動や視野の回転等に必要な行列演算を実行し、ワールド座標の端点をスクリーン座標へ投影変換する等の幾何変換を行い、そのX, Yの2次元のスクリーンデータをスクリーンメモリ105に与える。また、ポリゴンの視野変換された代表値、すなわち、そのポリゴンの視点からの距離の代表値、すなわち、Z値を決定し、そのデータをスクリーンメモリ105に与える。このスクリーンメモリ105は、各ポリゴンの端点につき、X, Yのスクリーン座標値、Z値、マッピングパターンメモリのU, V座標値が格納される。

【0007】 ポリゴン外形処理装置120は、ポリゴン摘出装置121、パラメータ演算装置122、垂直補間演算装置123、ワークメモリインターフェース(I/F)124で構成される。ポリゴン摘出装置121は、スクリーンメモリ105より読み出されたポリゴン端点のXYアドレスに基づいて、ポリゴンを構成する各辺のベクトル方向を判断し、そのベクトルの方向に応じて、ポリゴンの辺を構成する端点が右辺に属するか左辺に属するかを決定する。そして、ポリゴン摘出装置121にてスクリーンメモリ105からポリゴンを構成する各辺の端点、すなわち、Xの始点アドレス(XS)、Xの終点アドレス(XE)、及びYの始点アドレス(YS)、Yの終点アドレス(YE)、並びに、テクスチャを構成するマッピングパターンのU始点アドレス(US)、U終点アドレス(UE)、V始点アドレス(VS)、V終点アドレス(VE)を取り込むと共に、ポリゴンのZ値(ZS, ZE)を取り込み、パラメータ演算装置122に各データを供する。

【0008】そして、このポリゴン外形処理装置120のパラメータ演算装置122は、ポリゴンの外形端点情報をデジタル微分解析(DDA)で求める際に必要なパラメータを算出し、そのパラメータを垂直補間演算装置123に与える。この垂直補間演算装置123にて、ポリゴンが各スキャンラインと交差する左辺及び右辺のそれぞれの外形端点情報、マッピングパターンのアドレス及びZ値を補間しながら算出する。算出された各データがワークメモリI/F124により、ワークメモリ126に与えられる。

【0009】そして、ワークメモリ126には、ポリゴン外形処理装置120より与えられた各データ、すなわち、スキャンラインごとにポリゴンの左辺、右辺Xの値(XL, XR)と左辺のマッピングパターンメモリアドレス(UL)、右辺のマッピングパターンメモリアドレス(UR)と左辺のZ値(ZL)、右辺のZ値(ZR)が画面の垂直方向(Yアドレス方向)の解像度だけ夫々格納されている。

【0010】更に、このワークメモリ126には、1つのYアドレスに格納されているポリゴン数(CNT)が書き込まれる。すなわち、1つのYアドレスに1個のポリゴンを格納する毎にポリゴン数をカウントアップしてゆき、このカウント数(CNT)がワークメモリ126に書き込まれている。

【0011】ワークメモリ126に格納されている各データはポリゴン内部処理装置130へ与えられる。ポリゴン内部処理装置130は、パラメータ演算装置131、水平補間装置132、ピクセル(Pixel)描画装置133、隠面処理装置134で構成される。

【0012】パラメータ演算装置131にて、スキャンライン毎にワークメモリ126よりポリゴンの左辺X、右辺Xの値(XL, XR)と左辺のマッピングパターンメモリアドレス、右辺のマッピングパターンメモリアドレス値(UL, UR)と左辺の及び右辺のZ値(ZL, ZR)を受取り、水平補間演算に必要なパラメータを演算し、水平補間演算装置132及び隠面処理装置134へそれぞれパラメータを転送する。

【0013】隠面処理装置134はZバッファ法を使用した隠面処理を行うもので、まず、スキャンライン毎にパラメータ演算装置131よりパラメータを受け取り、そのパラメータから連続する複数ドットのZ値を演算で求める。求めた複数ドットのZ値をZラインメモリ125に格納されたZ値と比較する。Z値ラインメモリ125には、1スキャンライン分のZ値データを4ドットづつを1つのアドレスに対応するように区分して格納されている。そして、求めた4ドットのZ値とZ値ラインメモリ125から4ドットのZ値を読み出し、並列に隠面処理を行ってゆき、Pixel描画装置133へ各ドットを並列に描画するか、しないかをコントロールするとともに、Z値ラインメモリ125に格納されたZ値を再

新していく。

【0014】Z値ラインメモリ125は、1スキャンライン分のZ値の値を複数ドットごと格納する。

【0015】Pixel描画装置133は、水平補間演算装置132から複数ドットのマッピングアドレス等を受け取り、隠面処理装置134から複数ドットの描画をするか、しないかのコントロール信号を受け取り、描画するドットのみ複数ドットを並列にカラーラインメモリ135へマッピングアドレスを書き込む。

10 【0016】このカラーラインメモリ135は、1スキャンライン分のマッピングパターンメモリのアドレスを格納するもので、複数ドットのデータが並列に書き込まれるように構成されており、1アドレスに4つのドットの16ビットのマッピングパターンメモリのアドレスが順次格納される。

【0017】また、カラーラインメモリ135は2枚あり、1個が書き込みしている間にもう一つのラインメモリ135の内容を読み出して、その値によりマッピングパターンメモリ137を読み出してその値をフレームメモリ8へ書き込む。

【0018】水平補間演算装置132は、パラメータ演算装置31からパラメータを受け取り、水平補間演算を行ってマッピングパターンメモリアドレス(U, V)を算出する。この算出したマッピングパターンメモリアドレス(U, V)にて、データが格納されたマッピングパターンメモリ137をアクセスすることにより、マッピングパターンメモリ137に格納されたデータに基づき、各ドットのR, G, B値を順次読み出し、フレームメモリ136へ書き込む。

30 【0019】ポリゴン内部処理装置130からフレームメモリ136へ与えられたドットのR, G, B値がCRT138に転送され画像として表示される。

【0020】

【発明が解決しようとする課題】上記した装置によれば、各ポリゴン端点に模様のためのマッピングパターンメモリアドレス(U, V)とポリゴンのZ値を備え、そのマッピングパターンメモリアドレス(U, V)とZ値をポリゴンの外形に対応して変化させて補間し、複数ドットのZ値を演算で算出し、Zバッファ法を使用した隠面処理により、スキャンラインごと順次、複数ドットを並列で隠面処理を行い、マッピングパターンメモリアドレスをカラーラインメモリ135へ書き込み、スキャンラインの処理が終了すると、マッピングパターンメモリ135をアクセスし、R, G, Bデータをフレームメモリ136へ転送することにより、高速に描画することが可能となる。

【0021】しかしながら、上記した装置は、スキャンラインごとに順次描画処理を行っているため、フレームメモリとは別にカラーラインメモリを必要とする。このためメモリの用額が多くなり、性能が犠牲化する。

トが高くなるという問題があった。

【0022】この発明は、上述した従来の問題点を解消するためになされたものにして、フレームメモリを有効に利用し、高速にマッピング処理が可能な立体画像描画処理装置を提供することを目的とする。

【0023】

【課題を解決するための手段】この発明の立体画像描画処理装置は、ポリゴンを構成するX, Yの端点情報及びポリゴン面に付与する模様を示すマッピングパターン端点情報とポリゴンのZ値を格納する記憶手段と、上記記憶手段からの各端点情報を幾何変換する幾何変換手段と、上記幾何変換手段からの各端点情報に基づいて、ポリゴンのX, Yアドレス情報、マッピングパターンアドレス情報及びポリゴンのZ値を算出する描画処理手段と、算出されたZ値に基づき隠面処理を行う手段と、を備え、全てのポリゴンに対して描画処理及び隠面処理を行って描画するドットのマッピングパターンアドレスのみをフレームメモリに書き込み、このフレームメモリに書き込まれたマッピングパターンアドレスによりマッピングパターン領域をアクセスし、画像データを読み出し上記マッピングパターンアドレスが書き込まれていた同じフレームメモリの領域に画像データを書き込むことを特徴とする。

【0024】この発明は、上記したフレームメモリのアドレスとして、ポリゴンのX, Yアドレス、画像データ読み出し用アドレス及びマッピングパターンアドレスの内から1つ選択して与えられ、フレームメモリのデータとして少なくともマッピングパターンアドレス及び画像データの内1つが選択して与えられる。

【0025】また、この発明のフレームメモリは、Z値が格納される乙バッファ領域、マッピングパターンアドレスまたは画像データが格納されるスクリーン領域及びマッピングパターンが格納されるマッピングパターン領域に領域を区分すればよい。

【0026】上記したように、この発明によれば、フレームメモリにはクリーンに表示される領域のみマッピングパターン領域の読み出しとその画像データの書き込みが行われ、無駄なマッピングパターンメモリ領域へのアクセスが無くなり、高速化が図れると共に、フレームメモリを有効に利用することができる。

【0027】

【発明の実施の形態】以下、この発明の実施の形態につき図面を参照して説明する。

【0028】図1はこの発明を用いた立体画像描画処理装置の全体構成を示すブロック図であり、この装置は例えば、レーシングゲームや飛行機の操縦シミュレーション等のゲーム用機器に用いて好適な一例が示されている。図1に従いこの発明の全体構成につき説明する。

【0029】この装置は、メインメモリ1、CPU2、幾何変換処理装置3、描画処理装置4、フレームメモリ5

5及び表示装置としてのCRT6を備える。メインメモリ1にはあらゆる物体が複数の三角ポリゴンの集合体として表現され、ポリゴンの端点をワールド座標上のX, Y, Z座標として格納している。更に、このメインメモリ1には、オブジェクトのオブジェクト座標上のポリゴン端点のX, Y, Z座標、及びポリゴンに対応して、夫々テクスチャ画像を格納するマッピングパターンメモリ領域の端点情報データ(U, V)が格納されている。CPU2は図示しないハンドル、アクセル、ブレーキ等で構成された操作部からの操作内容が電気信号に変換されて与えられる。

【0030】CPU2は、ハンドル、アクセル等の操作内容に基づいて変換された電気信号に従いこの状況に応じた状況データを演算し、幾何変換処理装置3へデータを与える。

【0031】幾何変換処理装置3は、CPU2からの命令に従いメインメモリ1から各ポリゴンの端点情報をデータを読み出し、オブジェクトの運動や視野の回転等に必要な行列演算を実行し、ワールド座標の端点をスクリーン座標へ視野変換、シェーディング、投影処理等の幾何変換を行い、X, Yの2次元のスクリーンデータ、マッピングパターンアドレス値(U, V値)を描画処理装置4に与える。また、ポリゴンの視野変換された代表値、すなわち、そのポリゴンの視点からの距離の代表値であるZ値を決定し、そのデータを描画処理装置4に与える。この幾何変換処理3は、パーソナルコンピュータなどではCPU2の動作により行うこともある。

【0032】描画処理装置4は幾何変換処理装置3からの各端点情報に基づいて、ポリゴンの画素ごとにマッピングパターンアドレス(U, V)及びZ値を補間して算出するとともに、乙バッファ法による隠面処理により一番手前に存在する画素ドットのマッピングパターンアドレス(U, V)をフレームメモリ5のスクリーン領域に書き込む。そして、全てのポリゴンの描画処理が行われ、隠面処理により一番手前に存在するポリゴンのマッピングパターンアドレス(U, V)のスクリーン領域への書き込み処理が終了後、スクリーンアドレスに従いフレームメモリ5のスクリーン領域をアクセスし、マッピングパターンアドレスを読み出す。そして、このアドレスによりマッピングパターン領域をアクセスし、ビットマップのR, G, B値に変換し、その変換した値をフレームメモリ5の同じスクリーン領域に書き込む。このようにして、フレームメモリ5のには、スクリーンに表示される領域のみマッピングパターン領域の読み出しとそのR, G, B値の書き込みとなり、R, G, B化するときに必要最小限のマッピングパターン領域のアクセスとなり、無駄なマッピングパターンメモリ領域へのアクセスが無くなり、高速化が図れる。しかも、フレームメモリ5の同じスクリーン領域にマッピングパターンアドレスとR, G, B値を格納するので、CPU2はデータを

有效地利用でき、メモリ量を少なくすることができる。

【0033】フレームメモリ5は、この実施の形態では、図3に示すように、乙バッファ領域、スクリーン領域並びにマッピングパターン領域にメモリ領域が分けられている。乙バッファ領域には、スクリーン領域の各画素に対応するその画素の中で一番手前に存在するZ値が書き込まれる。このZ値は、描画処理装置4にて、算出したポリゴンの画素と書き込まっているZ値を比較し、比較する対象のZ値が常に一番手前に存在するポリゴンのZ値に更新される。

【0034】また、マッピングパターン領域は、図8(b)に示すように、マッピングパターンアドレス(U, V)に対応して、ビットマップのR, G, B値が格納されている。

【0035】スクリーン領域は、XYのスクリーンアドレスに従った画素ドット領域に分けられている。まず、各スクリーンアドレス(X, Y)に従ってマッピングパターンアドレス(U, V)が書き込まれ、全てのポリゴンに対してスクリーン全体の書き込みが終わると、スクリーン領域の各アドレスに書き込まれたマッピングパターンアドレス(U, V)に従いマッピングパターン領域から読み出したビットマップのR, G, B値が書き込まれる。

【0036】上記したように、この発明によれば、1フレームの処理の割り振りは図9に示すようになる。

【0037】次に、この発明の描画処理装置の具体的構成につき図2に従い説明する。

【0038】幾何変換処理装置3にて幾何変換された各ポリゴンのX, Yの2次元のスクリーンデータ(X, Y)、マッピングパターンアドレス値(U, V)及びZ値が幾何変換処理装置インターフェース(I/F)41に与えられる。この幾何変換処理装置I/F41からスクリーンデータ(X, Y)、マッピングパターンアドレス値(U, V)及びZ値が三角形セットアップ処理装置42に与えられる。

【0039】この実施の形態においては、ポリゴンは図4に示すように全て三角形のポリゴンで構成されており、平面方程式により、各ポリゴン端点からポリゴン面のX, Yの傾斜を求め、ディジタル微分解析(DDA)により補間して行く。

【0040】このため、三角形セットアップ処理装置42は、平面方程式に基づき各種のDDA処理装置に用いるDDAパラメータを下記数式1に従い算出する。

【0041】

【数1】

$$\frac{dX}{dY} = \frac{(X_2 - X_0)(Y_1 - Y_0) + (X_1 - X_0)(Y_2 - Y_0)}{(Y_2 - Y_0)(X_1 - X_0) + (Y_1 - Y_0)(X_2 - X_0)}$$

$$\frac{dU}{dX} = \frac{(U_2 - U_0)(X_1 - X_0) + (U_1 - U_0)(X_2 - X_0)}{(Y_2 - Y_0)(X_1 - X_0) + (Y_1 - Y_0)(X_2 - X_0)}$$

$$\frac{dU}{dY} = \frac{(U_2 - U_0)(Y_1 - Y_0) + (U_1 - U_0)(Y_2 - Y_0)}{(Y_2 - Y_0)(X_1 - X_0) + (Y_1 - Y_0)(X_2 - X_0)}$$

$$\frac{dV}{dX} = \frac{(V_2 - V_0)(X_1 - X_0) + (V_1 - V_0)(X_2 - X_0)}{(Y_2 - Y_0)(X_1 - X_0) + (Y_1 - Y_0)(X_2 - X_0)}$$

$$\frac{dV}{dY} = \frac{(V_2 - V_0)(Y_1 - Y_0) + (V_1 - V_0)(Y_2 - Y_0)}{(Y_2 - Y_0)(X_1 - X_0) + (Y_1 - Y_0)(X_2 - X_0)}$$

$$\frac{dZ}{dX} = \frac{(Z_2 - Z_0)(X_1 - X_0) + (Z_1 - Z_0)(X_2 - X_0)}{(Y_2 - Y_0)(X_1 - X_0) + (Y_1 - Y_0)(X_2 - X_0)}$$

$$\frac{dZ}{dY} = \frac{(Z_2 - Z_0)(Y_1 - Y_0) + (Z_1 - Z_0)(Y_2 - Y_0)}{(Y_2 - Y_0)(X_1 - X_0) + (Y_1 - Y_0)(X_2 - X_0)}$$

【0042】三角形セットアップ処理装置42にて算出された各パラメータは各DDA処理装置に送られる。

【0043】X-YDDA処理装置43は、スクリーン上の2次元のポリゴンのXYアドレスと辺と辺の水平ラインのアドレスを下記の数式に基づきDDAにより算出する。

【0044】

【数2】 $X = X + dX / dY$

$Y = Y + 1$

【0045】X-YDDA処理装置43にて算出したXYアドレスと水平ラインのアドレスはフレームメモリアドレスマルチプレクサ(MUX)46、ZDDA処理装置44及びUVDDA処理装置45に与えられる。

【0046】ZDDA処理装置44は、X-YDDA処理装置43で示される2次元ポリゴンのXYアドレス値に対応するZ値を下記数式に従いDDAにより算出する。

【0047】 $Z = Z + DDZ$

ここで、DDZは、対応するドットがX方向のドット(dX)であるときには、上記の dZ/dX が与えられ、対応するドットがY方向のドット(dZ/dY)であるときには、上記の dZ/dY が与えられる。

【0048】ZDDA処理装置44で算出されたZ値は陰面処置装置47及びフレームメモリデータマルチプレクサ48に与えられる。陰面処理装置47は乙バッファ法を使用した陰面処理を行うもので、X-YDDA処理装置43で算出したXYアドレスに対応してZDDA処理装置44で算出したZ値をフレームメモリ5の対応する領域の乙バッファ領域に格納されたZ値と比較する。

定結果に応じてZバッファ領域に格納されたZ値を更新して行く。即ち、描画されるドットであればZバッファ領域のZ値を書き換え、後述するUVDDA処理装置45で算出したU, V値をフレームメモリ5のスクリーン領域に書き込むようにコントローラ54がフレームメモリデータマルチプレクサ(MUX)48及びR/Wコントロール信号をフレームメモリに与える。また、描画しないドットであれば、Zバッファ領域のZ値は書きえず、UVDDA処理装置45で算出したU, V値もフレームメモリ5には与えられない。

【0049】UVDDA処理装置45は、X-YDDA処理装置43で示される2次元ポリゴンのXYアドレス値に対応するマッピングパターンアドレス値(U, V)を下記数式に従いDDAにより算出する。

$$[0050] U = U + DDU$$

ここで、DDUは、対応するドットがX方向のドット(dUX)であるときには、上記のdU/dXが与えられ、対応するドットがY方向のドット(dUY)であるときには、上記のdU/dYが与えられる。

$$V = U + DDV$$

ここで、DDVは、対応するドットがX方向のドット(dVX)であるときには、上記のdV/dXが与えられ、対応するドットがY方向のドット(dVY)であるときには、上記のdV/dYが与えられる。

【0051】UVDDA処理装置47で算出されたU, V値はフレームメモリデータMUX48に与えられる。隠面処理装置47において、一番手前にあるドットと判断されると、フレームメモリデータMUX48からフレームメモリインターフェース49を介してフレームメモリ5のスクリーン領域にそのマッピングパターンアドレスを書き込む。

【0052】フレームメモリアドレスマルチプレクサ(MUX)46には、RGB化用アドレス生成装置51とX-YDDA処理装置43とマッピングパターンアドレスラッチ回路52からのアドレスデータが与えられ、コントローラ54の制御に基づきフレームメモリ5のアドレスを選択し、フレームメモリインターフェース(I/F)50に送る。

【0053】フレームメモリデータMUX48には、ZDDA処理装置44、UVDDA処理装置44およびRGBデータラッチ回路53からのフレームデータが与えられ、コントローラ54の制御に基づきこれらデータのうち1つを選択してフレームメモリデータとしてフレームメモリインターフェース50に送る。

【0054】フレームメモリI/F50は、フレームメモリ5のタイミングに合わせて、アドレス、データを出し、また、フレームメモリ5からデータを受け取る。

【0055】RGB化用アドレス生成処理装置51は、フレームメモリ5のスクリーン領域に書き込まれたマッピングパターンアドレスに従いRGB化するときにスク

リーンアドレスを順次生成する。

【0056】マッピングパターンアドレスラッチ回路52は、RGB化するときにスクリーン上のマッピングパターン領域に格納されたU, Vアドレスを読み出し、その値をフレームメモリ5のアドレスとするためのアドレスラッチとして働く。

【0057】RGBデータラッチ回路53は、マッピングパターン領域から読み出したRGB値をフレームメモリ5にデータとして与えるためのデータラッチとして働く。

【0058】次に、この発明の動作を図6、図7のタイミングチャート及び図8の模式図に従い更に説明する。

【0059】幾何変換処理装置3から幾何変換処理装置I/F41を介して与えられるポリゴンの各端点情報に基づいて、まず三角形セットアップ処理装置42にてDDA処理に必要なパラメータが算出される。そして、X-YDDA処理装置43、ZDDA処理装置44及びUVDDA処理装置45により、ポリゴンのXYアドレス(画素)ごとにマッピングパターンアドレス及びZ値を

補間して算出する。算出されたZ値とフレームメモリI/F50を介して与えられるフレームメモリ5のZバッファ領域に格納された対応する画素のZ値とが隠面処理装置47に与えられ、隠面処理装置47にてZバッファ法による隠面処理が行われ、比較したポリゴンの画素が一番手前に存在する画素ドット判断されると、その画素ドットのマッピングパターンアドレスをフレームメモリI/F50を介してフレームメモリ5の対応するスクリーン領域に書き込む。また、Zバッファ領域のZ値も更新される。

【0060】このようにして、図8(a)に示すように、スクリーン領域に各アドレスに隠面処理にて描画するポリゴンのマッピングパターンアドレスのみ更新して書き込んで行き、スクリーン全体の書き込み処理が終了すると、スクリーン領域にはマッピングパターン領域のアドレスが書き込まれる。即ち、図6のタイミングチャートに示すように、フレームメモリアドレスとして、X-YDDA処理装置43により算出したXYアドレスが与えられるとともに、フレームメモリデータとしては、フレームメモリ5に書き込むマッピングパターンアドレスが与えられ、このデータがフレームメモリ5のスクリーン領域に書き込まれていく。

【0061】全てのポリゴンの処理が終わると、図7のタイミングチャートに示すように、RGB化用アドレス生成処理装置51にてスクリーンアドレスを生成し、フレームメモリI/F50を介してフレームメモリ5に与える。フレームメモリ5からはスクリーンメモリ領域に格納されているマッピングパターンアドレスが読み出され、このマッピングパターンアドレスがフレームメモリI/F50を介してマッピングパターンアドレスラッチ回路52に格納される。

【0062】 続いて、マッピングパターンアドレスラッチ回路52に格納されたマッピングパターンアドレスがフレームメモリI/F50を介してフレームメモリ5に与えられる。フレームメモリ5からは、マッピングパターン領域に格納されているRGB値が読み出され、このRGB値がフレームメモリI/F50を介してRGBデータラッチ回路53に格納される。そして、RGB化用アドレス生成処理装置51にて生成されたスクリーンアドレスが再びフレームメモリI/F50を介してフレームメモリ5に与えられ、このアドレスに従いフレームメモリ5のスクリーン領域にはRGBデータラッチ回路53にラッチされたビットマップのRGBが書き込まれる。このようにして、図8(b)に示すマッピングパターン領域をアクセスし、図8(c)に示すように、スクリーン領域にマッピングされ、図5に示すように、CRT6のスクリーン上に表示される。

【0063】 上記したように、この発明は、CRT6のスクリーンに表示される領域のみ、マッピングパターン領域の読み出しとそのR、G、B値の書き込みとなり、無駄なマッピングパターン領域のアクセスが無くなり、高速化が図れる。

【0064】 上記した実施の形態においては、Zバッファ領域、スクリーン領域及びマッピングパターン領域をフレームメモリに構成しているが、それぞれ別のメモリを用いて構成してもよい。

【0065】 また、マッピングパターンメモリをマッピングパターンメモリとマッピングパターンキャッシュメモリに構成してもよい。

【0066】 更に、上記した実施の形態においては、マッピングパターンメモリからビットマップのRGB値を読み出すようにしているが、ルックアップテーブル(LUT)を更に用意し、ルックアップテーブルのテーブル値を読み出すように構成してもよい。この場合には、ルックアップテーブルバッファを用意し、CRTに表示するようにすればよい。

【0067】

【発明の効果】 以上説明したように、この発明によれ

ば、フレームメモリには、スクリーンに表示される領域のみ、マッピングパターン領域の読み出しとその画像データの書き込みとなり、無駄なマッピングパターンメモリ領域へのアクセスが無くなり、高速化が図れると共にフレームメモリを有効に利用することができ、メモリの量を少なくできる。

【図面の簡単な説明】

【図1】 この発明を用いた立体画像描画処理装置の全体構成を示すブロック図である。

10 【図2】 この発明の描画処理装置の具体的構成を示すブロック図である。

【図3】 この発明のフレームメモリの構成を示す模式図である。

【図4】 この発明に適用されるポリゴンを示す模式図である。

【図5】 描画処理の状態を示す模式図である。

【図6】 この発明のポリゴンの描画タイミングを示すタイミングチャートである。

20 【図7】 この発明のRGB化のタイミングを示すタイミングチャートである。

【図8】 この発明の描画処理を示す説明図であり、(a)はスクリーン領域にマッピングパターンアドレスを書き込んだ状態、(b)はマッピングパターン領域の状態、(c)はマッピングを行った状態をそれぞれ示す。

【図9】 この発明の1フレームの処理の割り振りを示す説明図である。

【図10】 従来の立体画像描画処理装置の全体構成を示すブロック図である。

【符号の説明】

1 メインメモリ

2 CPU

3 幾何変換装置

4 描画処理装置

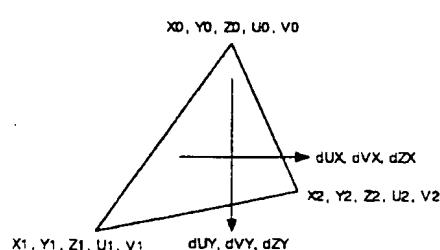
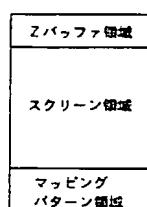
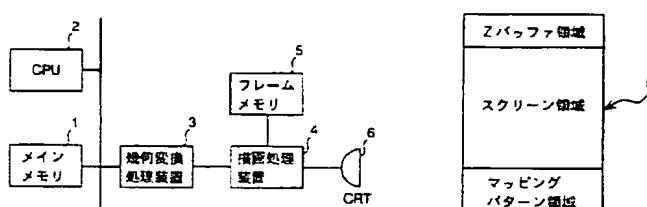
5 フレームメモリ

6 CRT

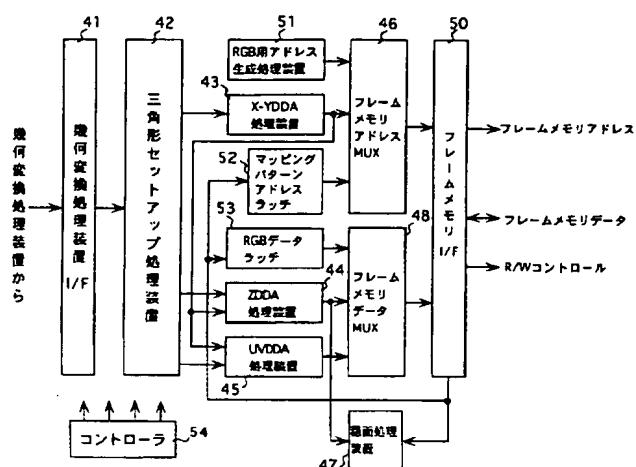
【図1】

【図3】

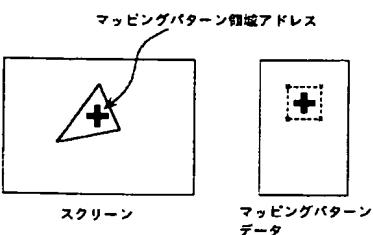
【図4】



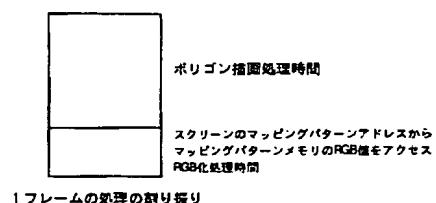
【図2】



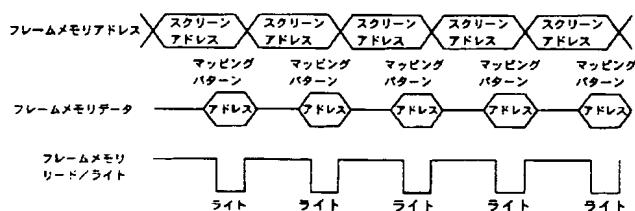
【図5】



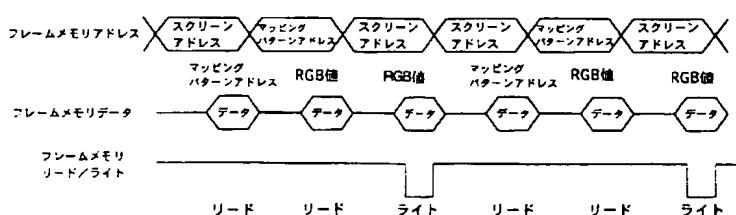
【図9】



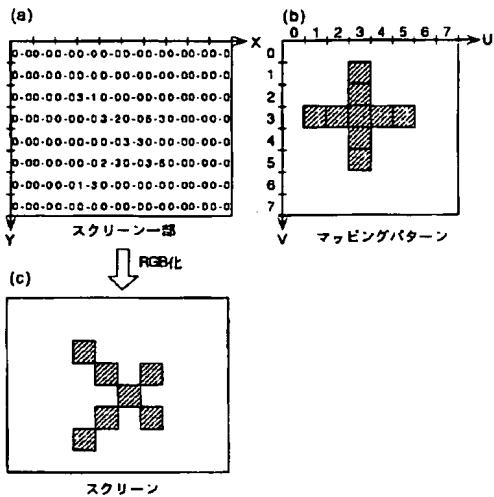
【図6】



【図7】



【図8】



【図10】

